

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)

(11) Publication number:

**08321406 A**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **07179016**(51) Int'l. Cl.: **H01C 7/04 H01C 13/00**(22) Application date: **14.07.95**(30) Priority: **22.03.95 JP 07 62588**(43) Date of application publication: **03.12.96**

(84) Designated contracting states:

(71) Applicant: **MITSUBISHI MATERIALS CORP**(72) Inventor: **OI KOJI  
YOTSUMOTO KOJI  
HIGUCHI YOSHIHIRO  
MAEDA YASUTAKA  
KOSHIMURA MASAMI**

(74) Representative:

**(54) MULTILAYER  
COMPOSITE ELEMENT  
AND ITS PRODUCTION**

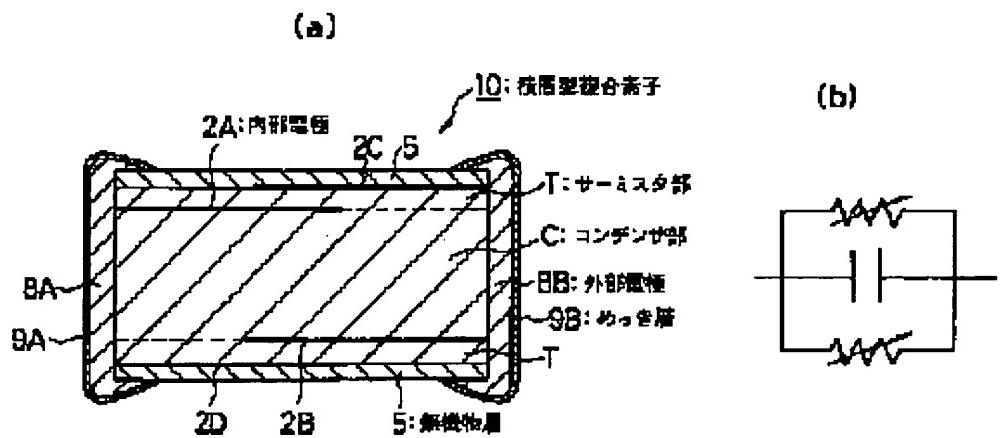
(57) Abstract:

**PURPOSE:** To provide a multilayer composite element which has less variance of electrical property or dimensional accuracy and is highly reliable and inexpensive.

**CONSTITUTION:** A multilayer body that a sintered body formed of dielectric ceramic (capacitor part C) and a thermistor ceramic green sheet (thermistor parts T and T') are stacked with inner electrodes 2A to 2D interposed is integrally sintered to obtain an element assembly, and outer electrodes 8A and 8B are formed on both end faces of the element assembly. Thus, the thermistor ceramic green sheet is stacked on the sintered body formed of dielectric ceramics and is integrally sintered thereafter, so that

the sintered body is hardly contracted again during burning, resulting in a multilayer composite element having less variance of dimensional accuracy or electric characteristics.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-321406

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl.<sup>6</sup>

H 01 C 7/04  
13/00

識別記号

庁内整理番号

4231-5E

F I

H 01 C 7/04  
13/00

技術表示箇所

C

審査請求 未請求 請求項の数8 O L (全8頁)

(21)出願番号 特願平7-179016

(22)出願日 平成7年(1995)7月14日

(31)優先権主張番号 特願平7-62588

(32)優先日 平7(1995)3月22日

(33)優先権主張国 日本 (JP)

(71)出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72)発明者 大井 幸二

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社電子技術研究所内

(72)発明者 四元 孝二

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社電子技術研究所内

(72)発明者 樋口 由浩

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社電子技術研究所内

(74)代理人 弁理士 重野 剛

最終頁に続く

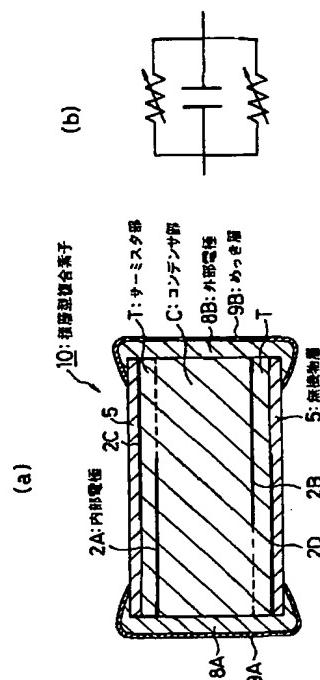
(54)【発明の名称】 積層型複合素子及びその製造方法

(57)【要約】

【課題】 電気特性や寸法精度のばらつきが少なく、高信頼性でしかも安価に提供される積層型複合素子を提供する。

【解決手段】 誘電体セラミックスの焼結体(コンデンサ部C)と、サーミスタセラミックスグリーンシート(サーミスタ部T, T')とを内部電極2A～2Dを介して積層した積層体を焼結一体化して得られる素体の両端面に外部電極8A, 8Bを形成する。

【効果】 誘電体セラミックスの焼結体にサーミスタセラミックスのグリーンシートを積層して焼結一体化するため、焼成時の焼結体部分の再収縮がなく、寸法精度や電気特性のばらつきの少ない積層型複合素子とすることができる。



1

## 【特許請求の範囲】

【請求項1】 内部電極を有する直方体状のセラミックス素体の両端面に該内部電極に導通した外部電極を設けてなる素子において、

該セラミックス素体は、誘電体セラミックスの焼結体と、該誘電体セラミックスの焼結体の1対の第1の対向面にグリーンシートを重ねて焼結一体化させたサーミスタセラミックスの焼結体とを備えてなり。

前記内部電極として、該誘電体セラミックスの焼結体の第1の対向面とサーミスタセラミックスの焼結体との界面に第1の内部電極が介在されており、

前記外部電極は、該第1の対向面と交叉する1対の第2の対向面に設けられていることを特徴とする積層型複合素子。

【請求項2】 請求項1において、前記素体の外面のうち、第2の対向面以外の面が厚さ50μm以下の無機物層で被覆されていることを特徴とする積層型複合素子。

【請求項3】 請求項2において、前記サーミスタセラミックスの焼結体の前記第1の対向面と無機物層との界面に第2の内部電極が介在されていることを特徴とする積層型複合素子。

【請求項4】 請求項1ないし3のいずれか1項において、前記誘電体セラミックスの焼結体の内部に、前記第1の内部電極と平行に第3の内部電極が設けられていることを特徴とする積層型複合素子。

【請求項5】 請求項1ないし4のいずれか1項において、前記サーミスタセラミックスの焼結温度は、誘電体セラミックスの焼結温度よりも低いことを特徴とする積層型複合素子。

【請求項6】 請求項5に記載の積層型複合素子を製造する方法であつて、

誘電体セラミックスの焼結体よりなる薄板の両板面に第1の内部電極用のパターンを形成する工程と、

該誘電体セラミックスの焼結体の少なくとも一方の電極形成面にサーミスタセラミックスのグリーンシートを積層する工程と、

得られた積層体を焼結一体化する工程と、

得られた積層焼結体の板面に無機物層を形成した後チップ状に切断する工程と、

切断されたチップの両端面に外部電極を形成する工程とを含む積層型複合素子の製造方法。

【請求項7】 請求項6に記載の方法において、誘電体セラミックスの焼結体にサーミスタセラミックスのグリーンシートを積層した後、該グリーンシートの表面に第2の内部電極形成用のパターンを形成し、その後、得られた積層体を焼結一体化することを特徴とする積層型複合素子の製造方法。

【請求項8】 請求項6又は7に記載の方法において、前記第3の内部電極を有するように誘電体セラミックスの焼結体よりなる前記薄板を成形、焼結しておくことを

50

2

特徴とする積層型複合素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、水晶発振器などの温度補償回路基板などに表面実装されるサーミスタとコンデンサとの積層型複合素子及びその製造方法に係り、電気特性や寸法精度のばらつきが少なく、高信頼性でしかも安価に提供される積層型複合素子及びこのような積層型複合素子を歩留り良く製造する方法に関する。

## 【0002】

【従来の技術】 従来、水晶発振器の温度補償回路のように、サーミスタとコンデンサの並列回路を構成する場合には、サーミスタ及びコンデンサ等の複数の電子部品を個々に同一基板上にフロー或いはリフローはんだ付けにより実装することが行われている。

## 【0003】

【発明が解決しようとする課題】 サーミスタ及びコンデンサ等の個々の部品を複数個用いて回路構成する場合には、複数の部品を同一基板上に実装するため、必然的に実装面積が増大し、回路の小型化を進める上で大きな制約となっていた。

【0004】 この問題を解決する一手法として、部品の複合化が考えられる。通常、複合素子の製造には、異種の材料の同時焼結及び一体化という手法がとられるが、この場合には、焼結時において、異種材料間で焼結収縮率に差があるため、内部電極寸法やその形成位置、更には素子寸法の不均一化が生じ、所要の電気特性及び寸法を有する製品を得ることが困難であった。また、サーミスタ材料と誘電体材料を同時焼成するためには、両材料の焼結温度を一致させることが必要であるが、この焼結温度の一一致のために、構成材料が限定されることから、多くの場合、複合素子の設計自体が困難であった。

【0005】 本発明は上記従来の問題点を解決し、電気特性や寸法精度のばらつきが少なく、高信頼性でしかも安価に提供される積層型複合素子及びその製造方法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 請求項1の積層型複合素子は、内部電極を有する直方体状のセラミックス素体の両端面に該内部電極に導通した外部電極を設けてなる素子において、該セラミックス素体は、誘電体セラミックスの焼結体と、該誘電体セラミックスの焼結体の1対の第1の対向面にグリーンシートを重ねて焼結一体化させたサーミスタセラミックス（サーミスタ形成用セラミックス）の焼結体とを備えてなり、前記内部電極として、該誘電体セラミックスの焼結体の第1の対向面とサーミスタセラミックスの焼結体との界面に第1の内部電極が介在されており、前記外部電極は、該第1の対向面と交叉する1対の第2の対向面に設けられていることを特徴とする。

【0007】なお、直方体状とは直方体に近似した形状を指し、立方体をも包含する。

【0008】請求項2の積層型複合素子は、請求項1において、前記素体の外面のうち、第2の対向面以外の面が厚さ50μm以下の無機物層で被覆されていることを特徴とする。

【0009】請求項3の積層型複合素子は、請求項2において、前記サーミスタセラミックスの焼結体の前記第1の対向面と無機物層との界面に第2の内部電極が介在されていることを特徴とする。

【0010】請求項4の積層型複合素子は、請求項1ないし3のいずれか1項において、前記誘電体セラミックスの焼結体の内部に、前記第1の内部電極と平行に第3の内部電極が設けられていることを特徴とする。

【0011】請求項5の積層型複合素子は、請求項1ないし4のいずれか1項において、前記サーミスタセラミックスの焼結温度は、誘電体セラミックスの焼結温度よりも低いことを特徴とする。

【0012】請求項6の積層型複合素子の製造方法は、請求項5に記載の積層型複合素子を製造する方法であつて、誘電体セラミックスの焼結体よりなる薄板の両板面に第1の内部電極用のパターンを形成する工程と、該誘電体セラミックスの焼結体の少なくとも一方の電極形成面にサーミスタセラミックスのグリーンシートを積層する工程と、得られた積層体を焼結一体化する工程と、得られた積層焼結体の板面に無機物層を形成した後チップ状に切断する工程と、切断されたチップの両端面に外部電極を形成する工程とを含むことを特徴とする。

【0013】請求項7の積層型複合素子の製造方法は、請求項6に記載の方法において、誘電体セラミックスの焼結体にサーミスタセラミックスのグリーンシートを積層した後、該グリーンシートの表面に第2の内部電極形成用のパターンを形成し、その後、得られた積層体を焼結一体化することを特徴とする。

【0014】請求項8の積層型複合素子の製造方法は、請求項6又は7に記載の方法において、前記第3の内部電極を有するように誘電体セラミックスの焼結体よりなる前記薄板を成形、焼結しておくことを特徴とする。

【0015】本発明においては、誘電体セラミックスの焼結体にサーミスタセラミックスのグリーンシートを重ねて焼結一体化するため、寸法精度や電気特性のばらつきの少ない積層型複合素子とすることができます。

【0016】即ち、誘電体セラミックス焼結体の表面に第1の内部電極を形成した後、サーミスタセラミックスのグリーンシートを重ねて焼結一体化した場合、焼成時において誘電体セラミックス焼結体自体の再収縮は殆ど生じないため、この表面に形成された内部電極の面積、及び内部電極同士の距離などは殆ど変わらない。一方、サーミスタセラミックスのグリーンシートは、焼結時に収縮するが、この収縮が静電容量等に及ぼす影響は殆ど

なく、電気特性のばらつきを防止することができる。寸法についても、焼成時の収縮はグリーンシートのみで起こり、誘電体セラミックス焼結体については収縮が殆どないため、全体としての収縮量が小さく、従って、寸法のばらつきが殆どなく、寸法精度の高いものとなる。

【0017】また、積層したサーミスタセラミックスのグリーンシートの表面に第2の内部電極を形成した後、一体焼結する場合においても、このサーミスタ部分の焼結収縮は厚さ方向のみとなり、抵抗値の制御が容易となる。

【0018】請求項2の積層型複合素子によれば、表面の無機物層よりなる保護層により複合素子の信頼性、耐久性、耐候性がより一層高められ、また、素体の第2の対向面以外に付着した外部電極部が、素体に電気的に影響を及ぼすことを防止することができる。

【0019】請求項4の積層型複合素子は、誘電体セラミックス焼結体の内部に第3の内部電極を設けているため、誘電体の誘電率が極めて大きなものとなる。

【0020】請求項5の積層型複合素子によれば、誘電体セラミックス焼結体とサーミスタセラミックスのグリーンシートとの焼結による一体化を容易に行える。

【0021】請求項6～8の方法によれば、このような本発明の積層型複合素子を容易かつ効率的に製造することが可能とされる。

【0022】特に、誘電体セラミックス焼結体の薄板とサーミスタセラミックスのグリーンシートの積層体を焼結一体化したものをチップ状に切断加工するため、小型の複合素子であっても高い寸法精度のもとに、容易に大量生産することが可能である。

【0023】また、無機物層形成後に切断加工することにより、個々のチップに無機物層を形成する場合に比べて、無機物層の形成効率が飛躍的に向上し、製造コストをより一層低減すると共に、無機物層の膜厚等のばらつきを防止することができる。

#### 【0024】

【発明の実施の形態】以下、図面を参照して本発明について詳細に説明する。

【0025】図1、2は第1及び第2の内部電極のみを有した本発明の積層型複合素子の製造方法の一実施例を示す斜視図であり、図3(a)は図1、2の方法に従つて製造された積層型複合素子の断面図、図3(b)は同回路図である。図4、5は本発明の積層型複合素子の他の実施例を示し、各々、(a)は断面図、(b)は回路図である。なお、図4、5において、図3に示す部材と同一機能を奏する部材には同一符号を付してある。

【0026】図1、2に示す方法では、まず、誘電体セラミックス焼結体の薄板1を準備し(図1(a))、この薄板1の一方の板面1Aに第1の内部電極2Aの電極パターンを一定間隔を置いて一定の幅で平行なストライプ状に印刷し、乾燥する(図1(b))。次に、この薄

板1を裏返し、他方の板面1Bにも、第1の内部電極2Bのパターンを一定間隔を置いて一定の幅で平行なストライプ状に印刷し、乾燥する。なお、板面1Aの電極2Aのパターンは、板面1Bの電極2Bのパターンと位相をずらし、板面に対し垂直に透視した場合、ストライプの両長手側縁のみが重なるようになる。

【0027】次に、サーミスタセラミックス粉末と結合材とを含む成形材料を成形し、これを薄板1と面寸法がほぼ同じ大きさとなるように切断してサーミスタセラミックスのグリーンシートを作成する。このグリーンシート3A、3Bを、内部電極パターン2A、2Bを形成した焼結体の薄板1の両板面に積層してプレス機により熱圧着させる。その後、グリーンシート3A、3Bの表面に第2の内部電極2C、2Dのパターンを、電極2A、2Bのパターンと同様に一定の間隔を置いて一定の幅で平行なストライプ状に印刷する(図1(c))。この場合も、板面を垂直に透視した状態において電極2C、2D用のストライプの両長手側縁のみが重なるように位相をずらす。印刷後、乾燥及び焼成して薄板1とグリーンシート3A、3Bとを一体化させる。

【0028】この焼成は、サーミスタセラミックスが焼結する温度で行う。この焼成により、グリーンシート3A、3Bがサーミスタセラミックス焼結体となる。本発明においては、薄板を構成する誘電体セラミックスとして、焼結温度がサーミスタセラミックスの焼結温度よりも高いものを用いるのが好ましい。通常の場合、この焼成は、950～1200°Cで5～30時間程度行われる。

【0029】なお、電極パターンを形成する毎に電極の焼き付けを行っても良く、グリーンシートの圧着後に電極焼き付けとグリーンシート焼結とをまとめて行っても良い。

【0030】得られた焼結一体品4の一方の板面にガラスペーストを全面印刷した後乾燥する。乾燥後、焼結一体品4を裏返して他方の板面にも同様にガラスペーストを印刷した後乾燥し、その後ガラスペーストの焼き付けを行って、焼結一体品4の両板面に無機物層(ガラス層)5A、5Bを形成する(図1(d))。

【0031】無機物層5A、5Bを形成した後、焼結一体品4を一定の間隔で細長い短冊状に切断して短冊状部材6を得る(図2(a))。この短冊状部材6は、対向する一対の面(第1の対向面)にのみ無機物層5A、5Bが形成されたものであるが、残る一対の対向面(第3の対向面)にも前記と同様にして無機物層5C、5Dを形成する。即ち、この短冊状部材6を複数個短冊状部材整列用の治具に並べてガラスペーストを印刷し、乾燥する。次に、この短冊状部材を反転させて同様にガラスペーストを印刷して乾燥し、その後、焼き付けを行う(図2(b))。

【0032】このようにして4側面を無機物層5A～5

50

Dで被覆した短冊状部材6を、被覆していない第2の対向面に平行な方向に切断してチップ7を得る(図2(c))。この場合、切断面は電極2C、2Dを断ち切るか、又は電極2A、2Bを断ち切るように入れる。

【0033】このチップ7の無機物層5A～5Dが形成されていない両端面7A、7BにAg等の電極ペーストを塗布して乾燥、焼き付けを行って外部電極8A、8Bを形成し(図2(d))、更に、この外部電極の表面にNiめっきを施し、更に、このNiめっき上に半田めつき処理を行うことにより、めっき層9A、9Bを形成して、製品の積層型複合素子10を得る。

【0034】得られた積層型複合素子10は、図3(a)に示す如く、誘電体セラミックスの焼結体よりもコンデンサ部Cとサーミスタセラミックスのグリーンシート由来のサーミスタ部T、Tとが第1の内部電極2A、2Bを介して積層一体化されると共に、更に、両対向面に第2の内部電極2C、2Dを有し、これらが無機物層5で被覆され、更に、両端面(第2の対向面)にめっき層9A、9Bを有する外部電極8A、8Bが形成されたものであり、この積層型複合素子10は、図3(b)に示す如く、1個のコンデンサと2個のサーミスタの並列回路を一素子内に有するものである。

【0035】なお、本発明において、誘電体セラミックスには、その熱膨張係数がサーミスタを構成するセラミックス材料の熱膨張係数に近似している材料を選択するのが好ましく、例えば、熱膨張係数が $9 \sim 11 \times 10^{-7}$ /°Cの材料を用いるのが好適である。

【0036】また、サーミスタセラミックスグリーンシートの厚さが厚過ぎ、誘電体セラミックス焼結体薄板が薄過ぎると、誘電体セラミックス焼結体を用いることによる本発明の効果を十分に得ることができない。逆に、サーミスタセラミックスグリーンシートの厚さが薄過ぎるとサーミスタ特性が十分に得られない。従って、サーミスタセラミックスグリーンシートの厚さは $150 \mu\text{m}$ 以下、特に $10 \sim 50 \mu\text{m}$ とするのが好ましく、このようなサーミスタセラミックスグリーンシートに対して、厚さ $400 \sim 800 \mu\text{m}$ 程度の誘電体セラミックス焼結体の薄板を用いるのが好ましい。

【0037】図1～3では、1枚の誘電体セラミックス焼結体の薄板の両板面に電極を形成した後グリーンシート3A、3Bを積層し、図3に示す如く、内部電極2A、2B、2C、2Dが配設された積層型複合素子を製造する方法を示したが、用いる誘電体セラミックス焼結体やグリーンシートの数やその積層配置、内部電極配置等に特に制限はなく、所望とする積層型複合素子のコンデンサ及びサーミスタ構成及び電気特性等に応じて適宜決定される。

【0038】例えば、上記製造工程において、両板面に電極パターンを形成した誘電体セラミックスの焼結体の一方の面にのみサーミスタセラミックスのグリーンシート

トを積層すると共に、該グリーンシートの表面に電極パターンを形成し、同様に焼結一体化、無機物層及び外部電極の形成を行うことにより、図4(a)に示す如く、誘電体セラミックスの焼結体よりなるコンデンサ部Cの一方の面にサーミスタセラミックスのグリーンシート由來のサーミスタ部Tが内部電極2Aを介して積層一体化されると共に、更に、両対向面に内部電極2B, 2Cを有し、これらが無機物層5で被覆され、更に、両端面にめっき層9A, 9Bを有する外部電極8A, 8Bが形成された積層型複合素子10Aを製造することができる。この積層型複合素子10Aは、図4(b)に示す如く、1個のコンデンサと1個のサーミスタとの並列回路を一素子内に有するものである。

【0039】また、上記製造工程において、誘電体セラミックスの焼結体の一方の板面に複数の内部電極を形成した場合には、図5(a)に示す如く、コンデンサ部Cとサーミスタ部Tが内部電極2A, 2A'を介して積層され、図5(b)に示す如く、1個のコンデンサと1個のサーミスタとの並列回路を一素子内に有する積層型複合素子1Bを製造することができる。

【0040】本発明では、図6~8のように誘電体セラミックスの焼結体の内部に第3の内部電極1a, 1b, 1c, 1dを設けても良い。この第3の内部電極1a, 1b, 1c, 1dは、図1(a)のセラミックス焼結体よりなる薄板1を形成するときに併せて形成しておく。

【0041】具体的には、複数枚(本実施例では5枚)の誘電体セラミックスのグリーンシートを第3の内部電極1a~1d用の電極シートを介して積層し、焼結一体化することにより容易に製造することができる。もちろん、この積層焼結体の第3の内部電極は、上記シート法に限らず、印刷法により形成することもできる。

【0042】なお、第3の内部電極1a~1dは、1層ごとに外部電極8A, 8Bに交互に導通するように互い違いに形成される。この第3の内部電極1a~1dのパターンは、内部電極2A, 2Bの場合と全く同様に、板面を垂直に透視したときにパターンの長手側縁のみが重なるようにする。その他の製造プロセスは図1, 2の場合と同様である。

【0043】このようにして得られた積層型複合素子10Cは、図6(a)に示す如く、内部電極1a~1dを有する誘電体セラミックスの積層焼結体よりなるコンデンサ部Cとサーミスタセラミックスのグリーンシート由來のサーミスタ部T, Tとが内部電極2A, 2Bを介して積層一体化されると共に、更に、両対向面に内部電極2C, 2Dを有し、これらが無機物層5で被覆され、更に、両端面にめっき層9A, 9Bを有する外部電極8A, 8Bが形成されたものであり、この積層型複合素子10Cは、図6(b)に示す如く、1個のコンデンサと2個のサーミスタの並列回路を一素子内に有するものである。

【0044】図6の積層型複合素子10Cは図3に示す積層型複合素子1.0に第3の内部電極1a~1dを設けた構成のものであるが、同様に図4, 5の積層型複合素子10A, 10Bに第3の内部電極1a~1dを設けた構成とすることにより図7, 8の積層型複合素子10D, 10Eが得られる。

【0045】このように第3の内部電極1a~1dを設けると、誘電体セラミックスの誘電率が著しく増大する。

【発明の効果】以上詳述した通り、本発明の積層型複合素子及びその製造方法によれば、電気特性のばらつきが小さくなると共に、小型化において重要な寸法精度に優れ、かつ高信頼性で、コスト的にも安価な積層型複合素子を提供することができ、これにより、水晶発振回路等の小型化への要求の強い電子回路部品の実装面積の減少に大きく貢献できる。本発明によれば、この複合素子の誘電体の誘電率を著しく高めることもできる。

## 【図面の簡単な説明】

【図1】本発明の積層型複合素子の製造方法の一実施例を示す斜視図である。

【図2】本発明の積層型複合素子の製造方法の一実施例を示す斜視図である。

【図3】本発明の積層型複合素子の一実施例を示し、(a)は断面図、(b)は当該積層型複合素子の回路図である。

【図4】本発明の積層型複合素子の他の実施例を示し、(a)は断面図、(b)は当該積層型複合素子の回路図である。

【図5】本発明の積層型複合素子の別の実施例を示し、(a)は断面図、(b)は当該積層型複合素子の回路図である。

【図6】本発明の積層型複合素子の別の実施例を示し、(a)は断面図、(b)は当該積層型複合素子の回路図である。

【図7】本発明の積層型複合素子の別の実施例を示し、(a)は断面図、(b)は当該積層型複合素子の回路図である。

【図8】本発明の積層型複合素子の別の実施例を示し、(a)は断面図、(b)は当該積層型複合素子の回路図である。

## 【符号の説明】

- 1 誘電体セラミックス焼結体の薄板
- 1a, 1b, 1c, 1d, 2A, 2B, 2C, 2D 内部電極
- 3A, 3B グリーンシート
- 5 無機物層
- 7 チップ
- 8A, 8B 外部電極
- 9A, 9B めっき層

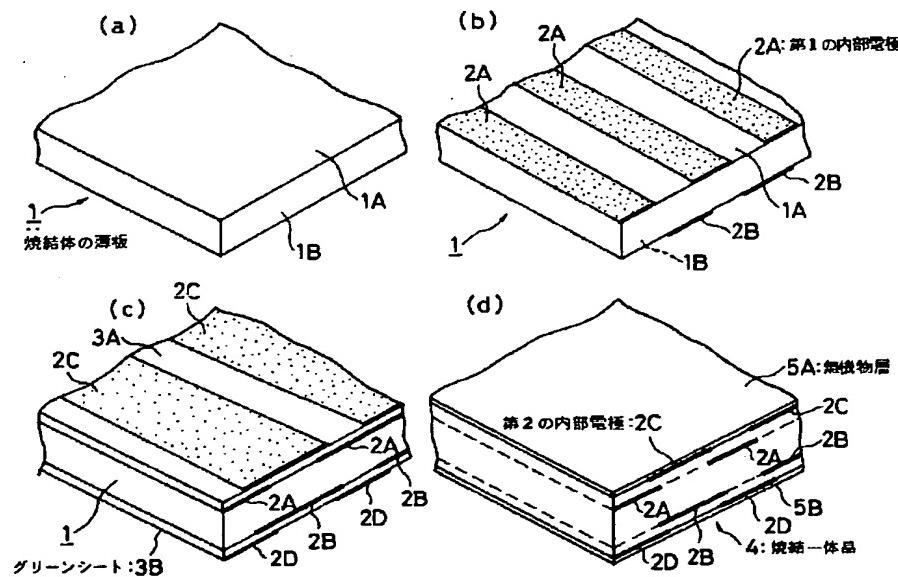
9

10

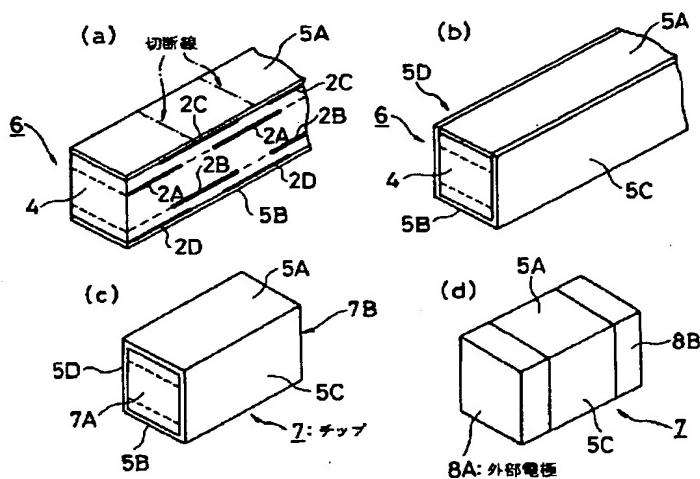
10, 10A, 10B, 10C, 10D, 10E 積層  
型複合素子

C コンデンサ部  
T サーミスタ部

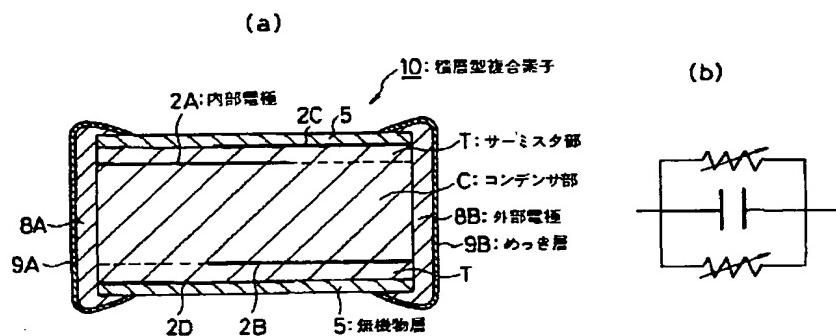
【図1】



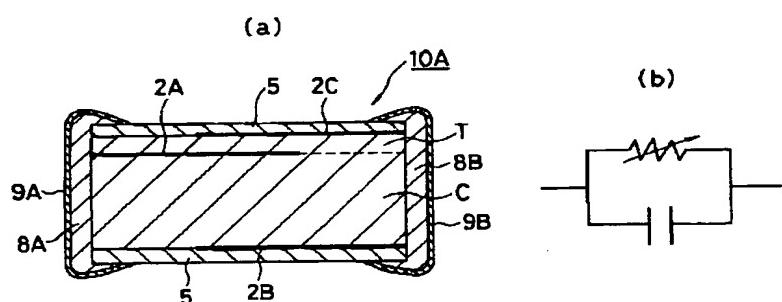
【図2】



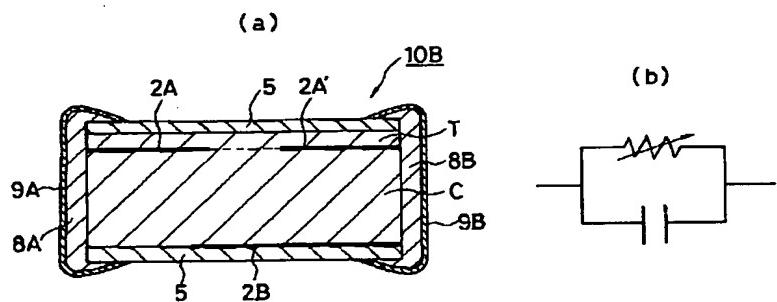
【図3】



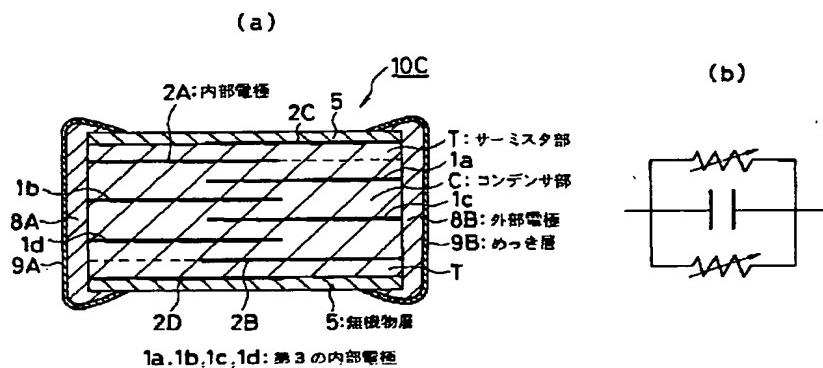
【図4】



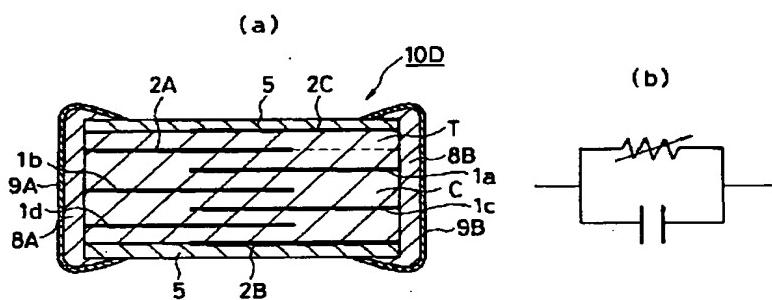
【図5】



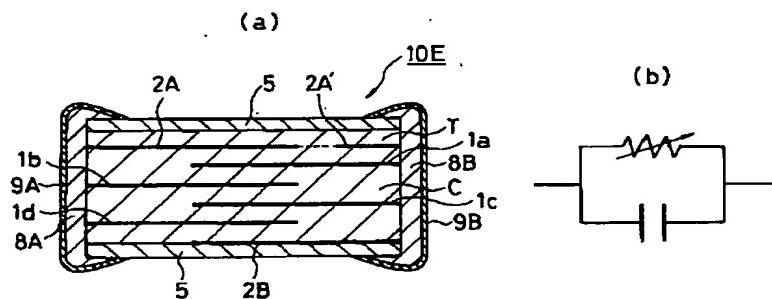
【図6】



【図7】



【図8】




---

フロントページの続き

(72)発明者 前田 保隆

埼玉県秩父郡横瀬町大字横瀬2270番地 三  
菱マテリアル株式会社電子技術研究所内

(72)発明者 越村 正己

埼玉県秩父郡横瀬町大字横瀬2270番地 三  
菱マテリアル株式会社電子技術研究所内